



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11053532 A**(43) Date of publication of application: **26.02.99**

(51) Int. Cl.

G06T 3/40
G09G 5/36
H04N 1/393
H04N 3/223
H04N 5/262
H04N 7/30

(21) Application number: **09209056**(22) Date of filing: **04.08.97**(71) Applicant: **FUJITSU LTD**

(72) Inventor: **OWADA HIDEO**
YOSHITOMI KOJI

(54) **IMAGE PROCESSOR**

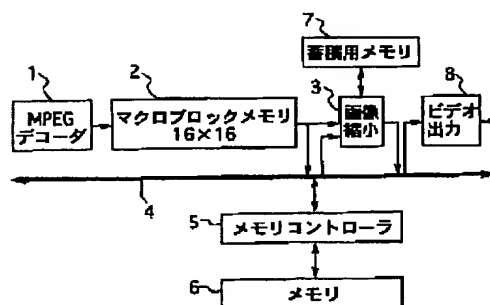
can be reduced in the unit of block.

(57) Abstract:

COPYRIGHT: (C)1999,JPO

PROBLEM TO BE SOLVED: To enlarge and reduce an image with a simple constitution by storing pixel information of the bottom row and rightmost column in an object block in a storage means and referring to information on stored pixels in the image processing of blocks adjacent to the stored pixel.

SOLUTION: At the time of image reduction, a microblock of 16×16 pixels from an MPEG decoder 1 is temporarily held in a microblock memory 2 and then inputted to a video reducing circuit 3. At this time, a memory 7 for storage is stored with pixel information of the bottom row of each microblock a line ahead of a microblock being reduced by the video reducing circuit 3 in a 1st storage area, and pixel information on the rightmost column of a microblock just before the microblock being reduced by the video reducing circuit 3 in a 2nd storage area. When one of the top row or the leftmost column of the microblock is thinned out, the pixel adjacent to the thinned-out pixel can be complemented with the pixel stored in the 1st or 2nd storage area, so that the image



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-53532

(43) 公開日 平成11年(1999) 2月26日

(51) Int.Cl.⁶
 G 0 6 T 3/40
 G 0 9 G 5/36
 H 0 4 N 1/393
 3/223
 5/262

識別記号

5 2 0

F I

G 0 6 F 15/66

G 0 9 G 5/36

H 0 4 N 1/393

3/223

5/262

3 5 5 A

5 2 0 E

審査請求 未請求 請求項の数 1 O L (全 5 頁) 最終頁に続く

(21) 出願番号 特願平9-209056

(22) 出願日 平成9年(1997) 8月4日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 大和田 秀夫

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 ▲吉▼富 耕治

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 有我 軍一郎

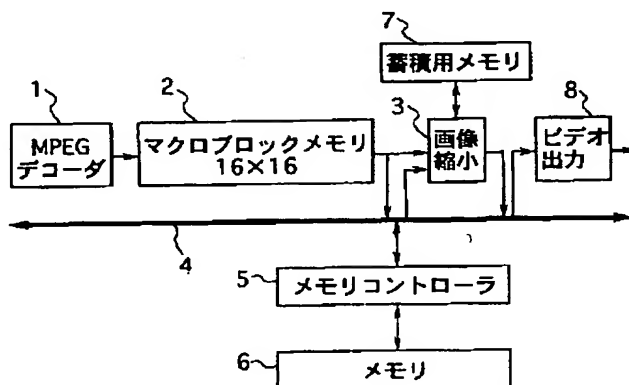
(54) 【発明の名称】 画像処理装置

(57) 【要約】

【課題】 簡単な構成で画像の拡大や縮小を行う。

【解決手段】 画像をブロック単位に処理する画像処理装置において、画像の少なくとも1ライン分の画素の情報を格納可能な第1格納手段、ブロックの少なくとも1列分の画素の情報を格納可能な第2格納手段、1ブロックの画像を縮小又は拡大する画像処理手段を備え、処理対象ブロック内の画素のうち最下行の画素の情報を第1格納手段に格納し最右列の画素の情報を第2格納手段に格納し格納した画素に隣接するブロックを画像処理手段で処理する際に第1格納手段及び第2格納手段に格納された画素の情報を参照する。第1及び第2格納手段に格納された画素の情報は次処理順のマクロブロックの最上行及び最左行の隣接画素の情報であり同隣接画素の情報を失わないから、ブロック単位に画像の縮小又は拡大を行うことができ、高性能なグラフィック機能を必要としない。

一実施例の概略構成図



3: 画像縮小回路 (画像処理手段)

7: 蓄積メモリ (第1格納手段、第2格納手段)

【特許請求の範囲】

【請求項 1】 $N \times M$ 画素を一ブロックにして複数のブロックで構成される画像をブロック単位に処理する画像処理装置において、

前記画像の少なくとも 1 ライン分の画素の情報を格納可能な第 1 格納手段と、

前記ブロックの少なくとも 1 列分の画素の情報を格納可能な第 2 格納手段と、

前記 1 ブロックの画像を縮小又は拡大する画像処理手段とを備え、

該画像処理手段の処理対象ブロック内の画素のうち最下行の画素の情報を前記第 1 格納手段に格納すると共に、最右列の画素の情報を前記第 2 格納手段に格納し、該格納した画素に隣接するブロックを前記画像処理手段で処理する際に該第 1 格納手段及び第 2 格納手段に格納された画素の情報を参照することを特徴とする画像処理装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、 $N \times M$ 画素を一ブロックにして複数のブロックで構成される画像をブロック単位に処理する画像処理装置に関し、特に、簡単な構成で画像の拡大や縮小を行う画像処理装置に関する。

【0002】

【従来の技術】 例えば、MPEG (Moving Picture Experts Group) ではマクロブロックを一つの単位にして様々な処理が行われる。図 6 はその概念図であり、一画面は水平 n 画素、垂直 m 画素で構成されているが、実際の処理は 16×16 画素のマクロブロック単位に行われる。マクロブロックは MPEG 特有の処理、例えば動き予測処理などに最適化されたもので、同処理の実行に支障はないが、画像の縮小や拡大処理に不都合をきたす。画像縮小の基本は画素の間引きであり、また、画像拡大の基本は画素の挿入である。しかし、単純な間引きや挿入は画質の劣化を招くため、高画質用途では、間引きする画素の情報を隣接画素に反映させたり、隣接画素の情報を挿入画素に反映させたりする、いわゆる画素情報の調整を欠かせないが、マクロブロックの場合、こうした調整テクニックをそのまま適用できない。マクロブロックの縁部に位置する画素は、隣接画素の一部を欠いているからである。

【0003】 そこで、 $N \times M$ 画素 (上記例では $N=M=16$) を一ブロックにして複数のブロックで構成される画像をブロック単位に処理する画像処理装置において、画像の拡大や縮小を行う従来技術としては、例えば、最終的に得られた 1 枚の画像を縮小処理し又は拡大処理するものが知られている。すなわち、上記 MPEG を例にすると最終的にデコードされたビデオ画像に対して、画素の間引きや画素の挿入を行うものが知られている。ビデオ画像の段階ではすでに 1 画面 (図 6 の $n \times m$ 画素)

に展開済みであり、マクロブロックの制約が外れるため、上述の不都合を招かない。

【0004】

【発明が解決しようとする課題】 ところで、ビデオ信号の縮小や拡大に際しては、大量の画素演算 (ビットマップ演算) が発生する。こうした演算はパーソナルコンピュータやワークステーションのように高性能なグラフィック機能を搭載したシステムでは特別難しい処理ではないが、例えば、CATV やデジタルテレビ受像機などにあつては、必要最小限のグラフィック機能しか搭載していないため、過大な処理である。

【0005】 そこで、本発明は、簡単な構成で画像の拡大や縮小を行うことを目的とする。

【0006】

【課題を解決するための手段】 請求項 1 に係る発明は、 $N \times M$ 画素を一ブロックにして複数のブロックで構成される画像をブロック単位に処理する画像処理装置において、前記画像の少なくとも 1 ライン分の画素の情報を格納可能な第 1 格納手段と、前記ブロックの少なくとも 1 列分の画素の情報を格納可能な第 2 格納手段と、前記 1 ブロックの画像を縮小又は拡大する画像処理手段とを備え、該画像処理手段の処理対象ブロック内の画素のうち最下行の画素の情報を前記第 1 格納手段に格納すると共に、最右列の画素の情報を前記第 2 格納手段に格納し、該格納した画素に隣接するブロックを前記画像処理手段で処理する際に該第 1 格納手段及び第 2 格納手段に格納された画素の情報を参照することを特徴とする。

【0007】 これによれば、第 1 及び第 2 格納手段に格納された画素の情報は、次処理順のマクロブロックの最上行及び最左行の隣接画素の情報である。したがって、同隣接画素の情報を失わないから、ブロック単位に画像の縮小又は拡大を行うことができ、高性能なグラフィック機能を必要としない。

【0008】

【発明の実施の形態】 以下、本発明の実施例を図面に基づいて説明する。図 1 ～図 5 は本発明に係る画像処理装置の一実施例を示す図であり、特に限定しないが、MPEG への適用例である。まず、構成を説明する。図 1 において、1 は MPEG デコーダであり、MPEG デコーダ 1 からの 16×16 画素のマクロブロックは、マクロブロックメモリ 2 に一旦保持された後、映像縮小処理回路 3 に入力されると共に、バス 4 及びメモリコントローラ 5 を介してメモリ 6 に書き込まれる。映像縮小回路 3 はマクロブロック単位に画像の縮小を行う回路であり、例えば、ある画素を間引く際に、その間引き画素の情報を周囲のいくつかの隣接画素の情報に反映させるという情報調整処理 (図 2 参照) を行うものである。なお、この実施例では、縮小を例にしているが拡大処理でも構わない。新たな画素を挿入する点で相違するが、その挿入画素の情報に周囲のいくつかの隣接画素の情報を反映さ

せる点で共通する。

【0009】7は蓄積用メモリ（詳細後述）、8は縮小画像又は拡大画像若しくは非縮小／非拡大画像をビデオ信号に変換して図外の表示部に出力するビデオ出力回路である。ここで、蓄積用メモリ7は、少なくとも画像の1ライン分の容量を有する第1格納領域と、少なくとも1ブロックの1列分（16画素）の記憶容量を有する第2格納領域とを有している。第1記憶領域には、映像縮小回路3で縮小処理中のマクロブロックの1ライン前の各マクロブロックの最下行の画素情報が格納され、また、第2格納領域には映像縮小回路3で縮小処理中のマクロブロックの1つ前のマクロブロックの最右列の画素情報が格納されるようになっていて、例えば、図6において、符号（へ）で示すマクロブロックを縮小処理中とすると、第1格納領域にはマクロブロック（イ）～マクロブロック（ニ）の最下行の画素情報が格納され、第2格納領域にはマクロブロック（ホ）の最右列の画素情報が格納されるようになっていて（図3参照）。

【0010】このような構成において、今、マクロブロック（へ）を縮小処理していると仮定すると、このときの第1記憶領域には、上記のとおり、マクロブロック（へ）の1ライン前の各マクロブロック（イ）～（ニ）の最下行の画素情報が格納され、また、第2格納領域にはマクロブロック（へ）の1つ前のマクロブロック

（ホ）の最右列の画素情報が格納されているから、これらの格納情報をマクロブロック（へ）に加えれば、あたかも、マクロブロック（へ）をマクロブロック（ロ）の最下行とマクロブロック（ホ）の最右列の画素分だけ拡大したことになる。したがって、例えば、マクロブロック（へ）の最上列の画素の一つの間引き場合、その間引き画素に隣接する画素を第1格納領域に格納された画素で補充でき、あるいは、マクロブロック（へ）の最左列の画素の一つの間引き場合、その間引き画素に隣接する画素を第2格納領域に格納された画素で補充できる結果、マクロブロック内の画素の間引きを支障なく行うことができ、ブロック単位の画像の縮小（又は拡大）を行うことができる。

【0011】なお、上記実施例では、専用のメモリ（蓄積メモリ7）に第1格納領域と第2格納領域を確保したがこれに限らない。例えば、メモリコントローラ5によって制御されるメモリ（図1のメモリ6）を利用してもよい。図4及び図5は、第1格納領域と第2格納領域の

二つの例であり、図4は第1格納領域のための水平方向用メモリ10を備えると共に、第2格納領域のための垂直方向用メモリ11を備える例である。なお、12はマクロブロックメモリ、13はカウンタ、14はマクロブロックの画素位置が最下行か最右行かを判定するための比較器、15は水平方向メモリ用ライトアドレスカウンタ、16は水平方向メモリ用リードアドレスカウンタ、17は垂直方向メモリ用ライトアドレスカウンタ、18は垂直方向メモリ用リードアドレスカウンタ、19は画像縮小回路、20は水平方向カウンタ、21は垂直方向カウンタである。また、図5は、ほぼ図4と類似の構成であるが、メモリコントローラ22を介してメモリ23と水平方向用メモリ10及び垂直方向用メモリ11とのデータ授受を可能にした点で相違する。この構成によれば、図4と同様にマクロブロック内の画素の間引きを支障なく行うことができ、ブロック単位の画像の縮小（又は拡大）を行うことができることに加え、水平方向用メモリ10や垂直方向用メモリ11の記憶容量を必要最小限（演算に必要な容量）にできるというメリットがある。不足分はメモリ23の記憶容量を利用すればよいからである。

【0012】

【発明の効果】本発明によれば、マクロブロックの最上行及び最左行の隣接画素の情報を失わないから、高性能なグラフィック機能を必要とせずに、ブロック単位の画像の縮小又は拡大を行うことができるという従来技術にない格別な効果が得られる。

【図面の簡単な説明】

【図1】一実施例の概略構成図である。

【図2】一実施例の画像縮小概念図である。

【図3】一実施例のマクロブロック、蓄積メモリ及び画像縮小回路の関連模式図である。

【図4】一実施例の一例構成図である。

【図5】一実施例の他の一例構成図である。

【図6】画像とマクロブロックの関係模式図である。

【符号の説明】

イ～ヘ：ブロック（マクロブロック）

3：画像縮小回路（画像処理手段）

7：蓄積メモリ（第1格納手段、第2格納手段）

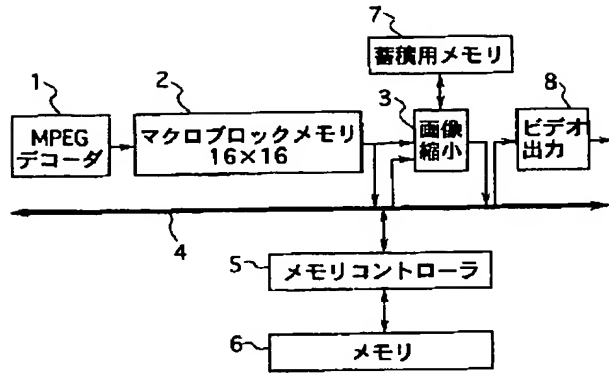
10：水平方向用メモリ（第1格納手段）

11：垂直方向用メモリ（第2格納手段）

19：画像縮小回路（画像処理手段）

【図 1】

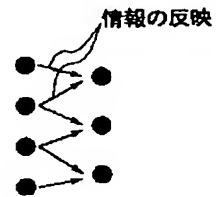
一実施例の概略構成図



3: 画像縮小回路 (画像処理手段)
7: 蓄積メモリ (第1格納手段、第2格納手段)

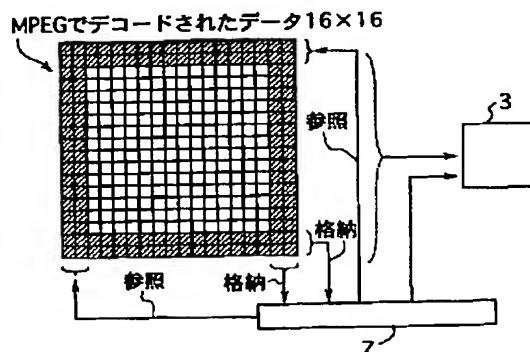
【図 2】

一実施例の画像縮小概念図



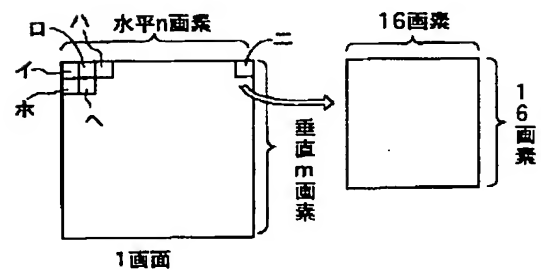
【図 3】

一実施例のマクロブロック、蓄積メモリ及び画像縮小回路の関連模式図



【図 6】

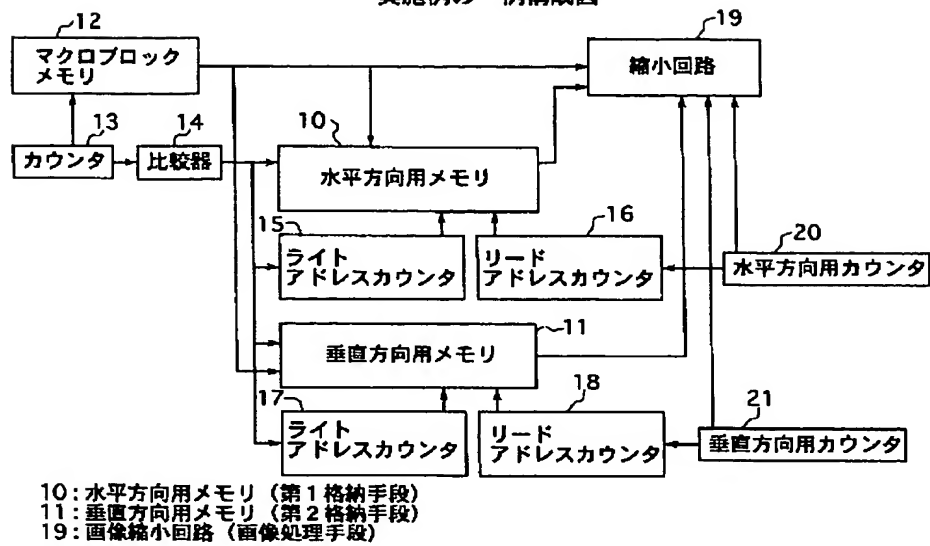
画像とマクロブロックの関係模式図



イ～ハ: ブロック (マクロブロック)

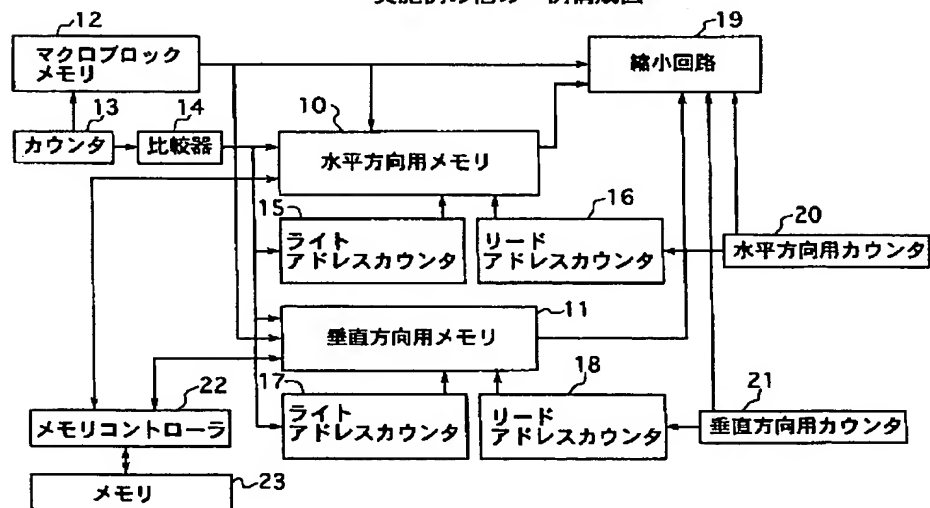
【図 4】

一実施例の一例構成図



【図 5】

一実施例の他の一例構成図



フロントページの続き

(51) Int. Cl. 6

H 0 4 N 7/30

識別記号

F I

H 0 4 N 7/133

Z